

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-225060

(43)Date of publication of application : 03.09.1993

(51)Int.Cl.

G06F 12/08

G06F 12/12

(21)Application number : 04-059243

(71)Applicant : NEC CORP

(22)Date of filing : 14.02.1992

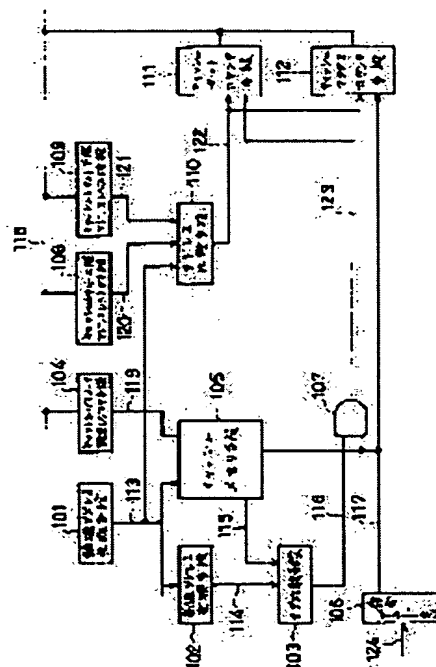
(72)Inventor : AMAGASAKI HIROHISA

(54) INFORMATION PROCESSOR

(57)Abstract:

PURPOSE: To change a cache control parameter by enabling software to detect the cache hit rate at the time of job execution.

CONSTITUTION: Software accesses a cache access counter means 112 and a cache hit counter means 111 to detect the cache hit rate, and a cache parameter set register means 104 is so set that the cache hit rate is maximum, and a cache system (direct map/set associative) is selected and the cache line size is set by the value of this cache parameter set register means 104.



LEGAL STATUS

[Date of request for examination] 29.02.1996

[Date of sending the examiner's decision of rejection] 24.11.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 2 5 0 6 0

(43) 公開日 平成 5 年 (1993) 9 月 3 日

(51) Int. Cl. ⁵

G 0 6 F 12/08
12/12

識別記号

3 1 0 Z 7232 - 5 B
A 7232 - 5 B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3

(全 7 頁)

(21) 出願番号 特願平 4 - 59243

(22) 出願日 平成 4 年 (1992) 2 月 14 日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目 7 番 1 号

(72) 発明者 尼崎 浩久

東京都港区芝五丁目 7 番 1 号 日本電気株式
会社内

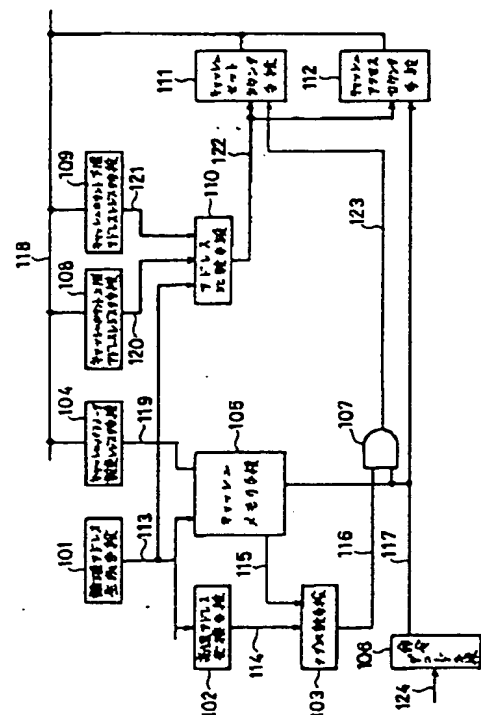
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 情報処理装置

(57) 【要約】

【目的】 ジョブ実行時にソフトウェアがキャッシュヒット率を知ることができ、キャッシュ制御パラメータを変更できるようにする。

【構成】 ソフトウェアはキャッシュアクセスカウンタ手段 113 およびキャッシュヒットカウンタ手段 111 をアクセスすることによりキャッシュのヒット率を知ることができ、キャッシュのヒット率が最大となるようにキャッシュパラメータ設定レジスタ手段 104 を設定し、このキャッシュパラメータ設定レジスタ手段 104 の値によりキャッシュの方式選択 (ダイレクトマップ/セットアソシアティブ) およびキャッシュラインサイズの設定ができる構成にした。



【特許請求の範囲】

【請求項1】 キャッシュを持つ情報処理装置において、ソフトウェアからアクセス可能でありキャッシュアクセス回数をカウントするキャッシュアクセスカウンタ手段と、前記ソフトウェアからアクセス可能でありキャッシュヒット回数をカウントするキャッシュヒットカウンタ手段を備えることを特徴とする情報処理装置。

【請求項2】 請求項1記載の情報処理装置において、ソフトウェアからアクセス可能なキャッシュカウンタ上限アドレスレジスタ手段と、前記ソフトウェアからアクセス可能なキャッシュカウンタ下限アドレスレジスタ手段を備え、かつキャッシュに対するアクセスアドレスがキャッシュカウンタ下限アドレスレジスタの値以上でありかつキャッシュカウンタ上限アドレスレジスタの値以下の場合に限りキャッシュアクセス回数をカウントするキャッシュアクセスカウンタ手段およびキャッシュヒット回数をカウントするキャッシュヒットカウンタ手段を備えることを特徴とする情報処理装置。

【請求項3】 請求項1記載の情報処理装置において、ソフトウェアからアクセス可能なキャッシュパラメータ設定レジスタ手段と、ダイレクトマップ方式とセットアソシアティブ方式を排他的に実現できるキャッシュを備え、前記キャッシュパラメータ設定レジスタ手段の値により前記キャッシュの制御方式をダイレクトマップ方式にするかセットアソシアティブ方式にするか選択するようにしたことを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理装置のキャッシュヒット率測定とキャッシュ制御を実現するための情報処理装置に関するものである。

【0002】

【従来の技術】 従来、この種の情報処理装置においては、ジョブ実行時のキャッシュのヒット率の測定の際は外部にロジックアナライザなどの測定器を接続する必要があった。また、キャッシュの制御に関するパラメータ（ラインサイズなど）は固定であるか、可変であってもリセット時にしか変更できずジョブ実行時に変更することはできなかった。

【0003】

【発明が解決しようとする課題】 上述した従来の情報処理装置では、一般にキャッシュのヒット率のわずかな変化が性能に大きく影響するがキャッシュのヒット率を装置設計時に正確に予測することは非常に難しいという課題があった。また、キャッシュのヒット率はキャッシュの構成方式（ダイレクトマップ方式、セットアソシアティブ方式）やライン（ブロック）サイズに依存するが、これらのパラメータをどう設定したときに最高のキャッシュヒット率になるかはプログラムの命令、データアクセスの仕方によって異なる。従来の情報処理装置におい

てこれらのパラメータは固定であるか可変であってもリセット時にしか変更できないためあるプログラムに対しては効果的な設定であっても別のプログラムに対しては非能率的な設定になるという課題があった。したがって、従来の情報処理装置はハードウェアの処理性能を最高に引き出しているとはいえない。

【0004】

【課題を解決するための手段】 本発明の情報処理装置は、キャッシュを持つ情報処理装置において、ソフトウェアからアクセス可能でありキャッシュアクセス回数をカウントするキャッシュアクセスカウンタ手段と、上記ソフトウェアからアクセス可能でありキャッシュヒット回数をカウントするキャッシュヒットカウンタ手段を備えるものである。また、本発明の別の発明による情報処理装置は上記のものにおいて、ソフトウェアからアクセス可能なキャッシュカウンタ上限アドレスレジスタ手段と、上記ソフトウェアからアクセス可能なキャッシュカウンタ下限アドレスレジスタ手段を備え、かつキャッシュに対するアクセスアドレスがキャッシュカウンタ下限アドレスレジスタの値以上でありかつデータキャッシュカウンタ上限アドレスレジスタの値以下の場合に限りキャッシュアクセス回数をカウントするキャッシュアクセスカウンタ手段およびキャッシュヒット回数をカウントするキャッシュヒットカウンタ手段を備えるものである。また、本発明のさらに別の発明による情報処理装置は上記の第1の発明において、ソフトウェアからアクセス可能なキャッシュパラメータ設定レジスタ手段と、ダイレクトマップ方式とセットアソシアティブ方式を排他的に実現できるキャッシュを備え、上記キャッシュパラメータ設定レジスタ手段の値により上記キャッシュの制御方式をダイレクトマップ方式にするかセットアソシアティブ方式にするか選択するようにしたものである。

【0005】

【作用】 本発明においては、ジョブ実行時にソフトウェアが特定のアドレス範囲についてのキャッシュヒット率を知ることができ、最高のキャッシュヒット率を得られるようにキャッシュパラメータを変更することができるようにする。

【0006】

【実施例】 図1は本発明の一実施例を示すブロック図である。この図1において、101は論理アドレス生成手段、102は高速アドレス変換手段、103はタグ比較手段、104はソフトウェアからアクセス可能なキャッシュパラメータ設定レジスタ手段、105はダイレクトマップ方式とセットアソシアティブ方式を排他的に実現できるキャッシュであるキャッシュメモリ手段、106は命令デコード手段、107はゲート手段、108はソフトウェアからアクセス可能なキャッシュカウンタ上限アドレスレジスタ手段、109はソフトウェアからアクセス可能なキャッシュカウンタ下限アドレスレジスタ手

段、110はアドレス比較手段、111はソフトウェアからアクセス可能でありキャッシュヒット回数をカウントするキャッシュヒットカウンタ手段、112はソフトウェアからアクセス可能でありキャッシュアクセス回数をカウントするキャッシュアクセスカウンタ手段である。113は論理アドレス(VA31-0)、114は物理アドレス上位ビット(PA31-12)、115はキャッシュタグ(TAG31-12)、116はキャッシュヒット信号、117はキャッシュアクセス信号、118はデータバス、119はキャッシュパラメータ信号、120はキャッシュカウント上限アドレス、121はキャッシュカウント下限アドレス、122はカウントイネーブル信号、123はキャッシュヒットカウント信号、124は外部から供給される命令信号である。

【0007】このように、本発明はソフトウェアからアクセス可能でありキャッシュアクセス回数をカウントするキャッシュアクセスカウンタ手段113およびソフトウェアからアクセス可能でありキャッシュヒット回数をカウントするキャッシュヒットカウンタ手段111を備えるように構成されている。また、この発明において、ソフトウェアからアクセス可能なキャッシュカウント上限アドレスレジスタ手段108とソフトウェアからアクセス可能なキャッシュカウント下限アドレスレジスタ手段109を持ち、キャッシュに対するアクセスアドレスがキャッシュカウント下限アドレスレジスタの値以上でありかつキャッシュカウント上限アドレスレジスタの値以下の場合に限りキャッシュアクセス回数をカウントするキャッシュアクセスカウンタ手段113およびキャッシュヒット回数をカウントするキャッシュヒットカウンタ手段111を備えるように構成され、さらに本発明は上記第1の発明において、ソフトウェアからアクセス可能なキャッシュパラメータ設定レジスタ手段104とダイレクトマップ方式とセットアソシアティブ方式を排他的に実現できるキャッシュ105を持ちキャッシュパラメータ設定レジスタ手段104の値によりキャッシュ105の制御方式をダイレクトマップ方式にするかセットアソシアティブ方式にするか選択するように構成され、さらに、また、上記第1の発明において、ソフトウェアからアクセス可能なキャッシュパラメータ設定レジスタ手段104とラインサイズを変更できるキャッシュを持ちキャッシュパラメータ設定レジスタ手段104の値によりキャッシュラインサイズを変更するように構成されている。

【0008】そして、ソフトウェアからアクセス可能であり命令キャッシュアクセス回数をカウントする命令キャッシュアクセスカウンタ手段およびソフトウェアからアクセス可能であり命令キャッシュヒット回数をカウントする命令キャッシュヒットカウンタ手段を持つように構成され、また、ソフトウェアからアクセス可能な命令キャッシュカウント上限アドレスレジスタ手段とソフト

ウェアからアクセス可能な命令キャッシュカウント下限アドレスレジスタ手段を持ち、命令キャッシュに対するアクセスアドレスが命令キャッシュカウント下限アドレスレジスタの値以上でありかつ命令キャッシュカウント上限アドレスレジスタの値以下の場合に限り命令キャッシュアクセス回数をカウントする命令キャッシュアクセスカウンタ手段および命令キャッシュヒット回数をカウントする命令キャッシュヒットカウンタ手段を持つように構成されている。

10 【0009】つぎにこの図1に示す実施例の動作を説明する。まず、論理アドレス生成手段101により論理アドレス113が生成され、この論理アドレス113の上位論理アドレスVA31-12が高速アドレス変換手段102で物理アドレスに変換されると同時に論理アドレス113の下位論理アドレスVA12-2がキャッシュメモリ手段105をアクセスする。そして、物理アドレス上位ビット114とキャッシュタグ115をタグ比較手段103で比較し一致した場合キャッシュヒットと判定されキャッシュヒット信号116が論理「1」となる。一方、命令信号124は命令デコード手段106によってデコードされ、キャッシュアクセスを伴う命令の場合、キャッシュアクセス信号117が論理「1」となる。そして、キャッシュカウント上限アドレスレジスタ手段108、キャッシュカウント下限アドレスレジスタ手段109はソフトウェアから値を読み書きできる32ビットレジスタ手段である。

20 【0010】つぎに、ソフトウェアによりキャッシュカウント上限アドレスレジスタ108、キャッシュカウント下限アドレスレジスタ109に設定された値はキャッシュカウント上限アドレス120、キャッシュカウント下限アドレス121に出力される。アドレス比較手段110はこのキャッシュカウント上限アドレス120とキャッシュカウント下限アドレス121および論理アドレス113を比較し、この論理アドレス113がキャッシュカウント下限アドレス121以上であり、キャッシュカウント上限アドレス120以下である場合にカウントイネーブル信号122を論理「1」にする。このカウントイネーブル信号122が論理「1」のときキャッシュアクセス信号117はキャッシュアクセスカウンタ手段112でカウントされる。このキャッシュアクセスカウンタ手段112の値はキャッシュカウント下限アドレス121以上キャッシュカウント上限アドレス120以下のアドレス空間に対するキャッシュアクセスの回数を表わす。そして、キャッシュヒット信号116とキャッシュアクセス信号117はゲート手段107で論理積をとられキャッシュヒットカウント信号123となる。そして、カウントイネーブル信号122が論理「1」のときキャッシュヒットカウント信号123はキャッシュヒット上位カウンタ手段111でカウントされる。ここで、このキャッシュヒットカウンタ手段111の値はキャッ

シュカウント下限アドレス121以上キャッシュカウント上限アドレス120以下のアドレス空間に対するキャッシュヒットの回数を表わす。キャッシュヒットカウンタ手段111、キャッシュアクセスカウンタ手段112は任意のアドレスに割り付けられており、ソフトウェアから値を読み込むことができる。このキャッシュヒットカウンタ手段111から読み込んだ値を N_{HT} 、キャッシュアクセスカウンタ手段112から読み込んだ値を N_{RW} とするとキャッシュのヒット率は N_{HT}/N_{RW} となり、ソフトウェアはキャッシュヒットカウンタ手段111、キャッシュアクセスカウンタ手段112を読み込むことでキャッシュのヒット率を知ることができる。キャッシュパラメータレジスタ手段104はソフトウェアから値を読み書きすることができる32ビットレジスタ手段である。

【0011】このキャッシュパラメータレジスタ手段104（32ビットレジスタ手段）の構成例を図2に示す。この図2において、D/Sはダイレクトマップ方式、セットアソシアティブ方式選択ビットであり、LSZ1、LSZ0はキャッシュのラインサイズ指定ビットである。

【0012】このLSZ1、LSZ0とラインサイズの関係を図3に示す。そして、キャッシュメモリ手段105を詳細に示したのが図4である。キャッシュバンク「0」、「1」の容量がそれぞれ4KBづつあり、最小ラインサイズが1ワード（4バイト）の場合について説明する。この図4において図1と同一符号のものは相当部分を示し、401はキャッシュバンク0、402はキャッシュバンク1、403は論理和をとるゲート手段、405、405はそれぞれキャッシュバンク0、キャッシュバンク1のデータバッファ手段、406、408はナンド（NAND）ゲート手段、407は論理否定ゲート手段、409～412は論理積をとるゲート手段、413は論理アドレスVAのうちの11ビットVA12-2、414はダイレクトマップ、セットアソシアティブ選択信号、415、416はラインサイズ選択信号（LSZ1、LSZ0）、417、418はキャッシュバンク選択信号、115-0、115-1はそれぞれキャッシュバンク0、キャッシュバンク1のタグ信号、103-0、103-1はそれぞれキャッシュバンク0、キャッシュバンク1のタグ比較手段である。

【0013】この図4におけるキャッシュバンク0 401、キャッシュバンク1 402の構成例を図5に示す。この図5において、タグ（TAGn）とデータ（DATAn）の組み合わせで1エントリを構成しており全部で1024エントリある。そして、CA11-0の値により1024エントリのうちの1つのエントリが指定される。キャッシュアクセスが行われるときは図4の論理アドレスVAのうちの11ビットVA12-2 413によってキャッシュバンク0 401とキャッシュバ

ンク1 402がアクセスされ、キャッシュバンク0のタグ信号115-0と物理アドレス上位ビット114がキャッシュバンク0のタグ比較手段103-1によって比較される。この比較の結果キャッシュバンク0のタグ信号115-0またはキャッシュバンク1のタグ信号115-1が物理アドレス上位ビット114と等しい場合にキャッシュヒットと判定され、どちらのバンクがヒットしたかによってキャッシュバンク0のデータバッファ手段404またはキャッシュバンク1のデータバッファ手段405のどちらかを通してデータがキャッシュに読み書きされる。

【0014】そして、ダイレクトマップ、セットアソシアティブ選択信号414が論理「1」のとき論理アドレスVA12がキャッシュバンク0、キャッシュバンク1のキャッシュバンク選択信号417、418として入力されキャッシュバンク0とキャッシュバンク1は連続する8KBのキャッシュとなり、ダイレクトマップ方式となる。ここで、このダイレクトマップ、セットアソシアティブ選択信号414が論理「0」のときはキャッシュ選択信号417、418は両方とも論理「1」となりキャッシュバンク0 401、キャッシュバンク1 402は4KB×2ウェイのセットアソシアティブ方式キャッシュとして動作する。そして、ラインサイズ選択信号（LSZ1、LSZ0）415、416によってキャッシュバンク0、1のタグのアクセスアドレスの下位2ビット（VA3、2）がマスクされる。このラインサイズ選択信号415、416が11_[ca]のときはモジュロ16が0、4、8、12となるアドレスに対して別々のタグが参照されるのでキャッシュの管理単位すなわち、ラインサイズは1Wとなる。また、このラインサイズ選択信号415、416が10_[ca]のときはナンドゲート手段408によってタグのアクセスアドレスの最下位がマスクされることによりアドレス空間の縮退が生じてモジュロ8が0、4となるアドレスに対して参照されるタグは同一のものとなりラインサイズは2Wとなる。同様にラインサイズ選択信号415、416が00_[ca]のときは論理積をとるゲート手段409～412によってタグのアクセスアドレスの下位2ビットがマスクされ、ラインサイズは4Wとなる。

【0015】このラインサイズ選択信号415、416（LSZ1、0）の値と論理アドレスVA12-2がアクセスするタグエントリの関係を図6に示す。この図6において、（a）はLSZ1、0=11の場合を示し、（b）はLSZ1、0=10、（c）はLSZ1、0=00の場合を示す。なお、以上説明したことはデータキャッシュ、命令キャッシュのどちらに対しても適用できる。また、以上説明したように、ソフトウェアはキャッシュカウント上限アドレスレジスタ手段108とキャッシュカウント下限アドレスレジスタ手段109およびキャッシュヒットカウンタ手段111ならびにキャッシュ

アクセスカウンタ手段113をアクセスすることにより特定のアドレス範囲についてのキャッシュヒット率を知ることができ、最高のキャッシュヒット率を得られるようにキャッシュパラメータレジスタ手段104を設定することができる。

【0016】

【発明の効果】以上説明したように本発明は、ジョブ実行時にソフトウェアが特定のアドレス範囲についてのキャッシュヒット率を知ることができ、最高のキャッシュヒット率を得られるようにキャッシュパラメータを変更することができるようにしたので、ハードウェアの処理性能を最高に引き出すことができる効果がある。

【図面の簡単な説明】

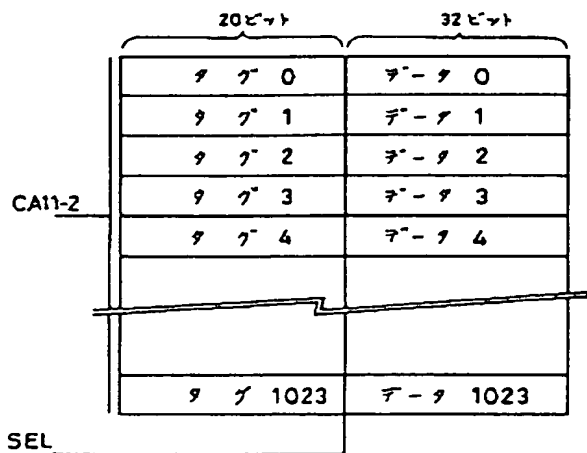
【図1】本発明の一実施例を示すブロック図である。

【図2】図1の動作説明に供するキャッシュパラメータ設定レジスタを示す説明図である。

【図2】



【図5】



【図3】図1の動作説明に供するLSZとラインサイズの関係を示す説明図である。

【図4】図1の動作説明に供するキャッシュの詳細を示すブロック図である。

【図5】図1の動作説明に供するキャッシュの詳細を示す説明図である。

【図6】図1の動作説明に供するLSZとVAがアクセスするタグエントリの関係を示す説明図である。

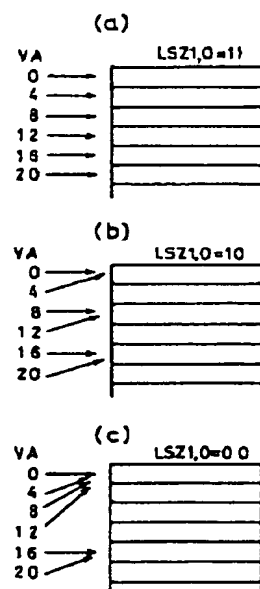
【符号の説明】

- 104 キャッシュパラメータ設定レジスタ手段
 105 キャッシュメモリ手段 (キャッシュ)
 108 キャッシュカウンタ上限アドレスレジスタ手段
 109 キャッシュカウンタ下限アドレスレジスタ手段
 111 キャッシュヒットカウンタ手段
 112 キャッシュアクセスカウンタ手段

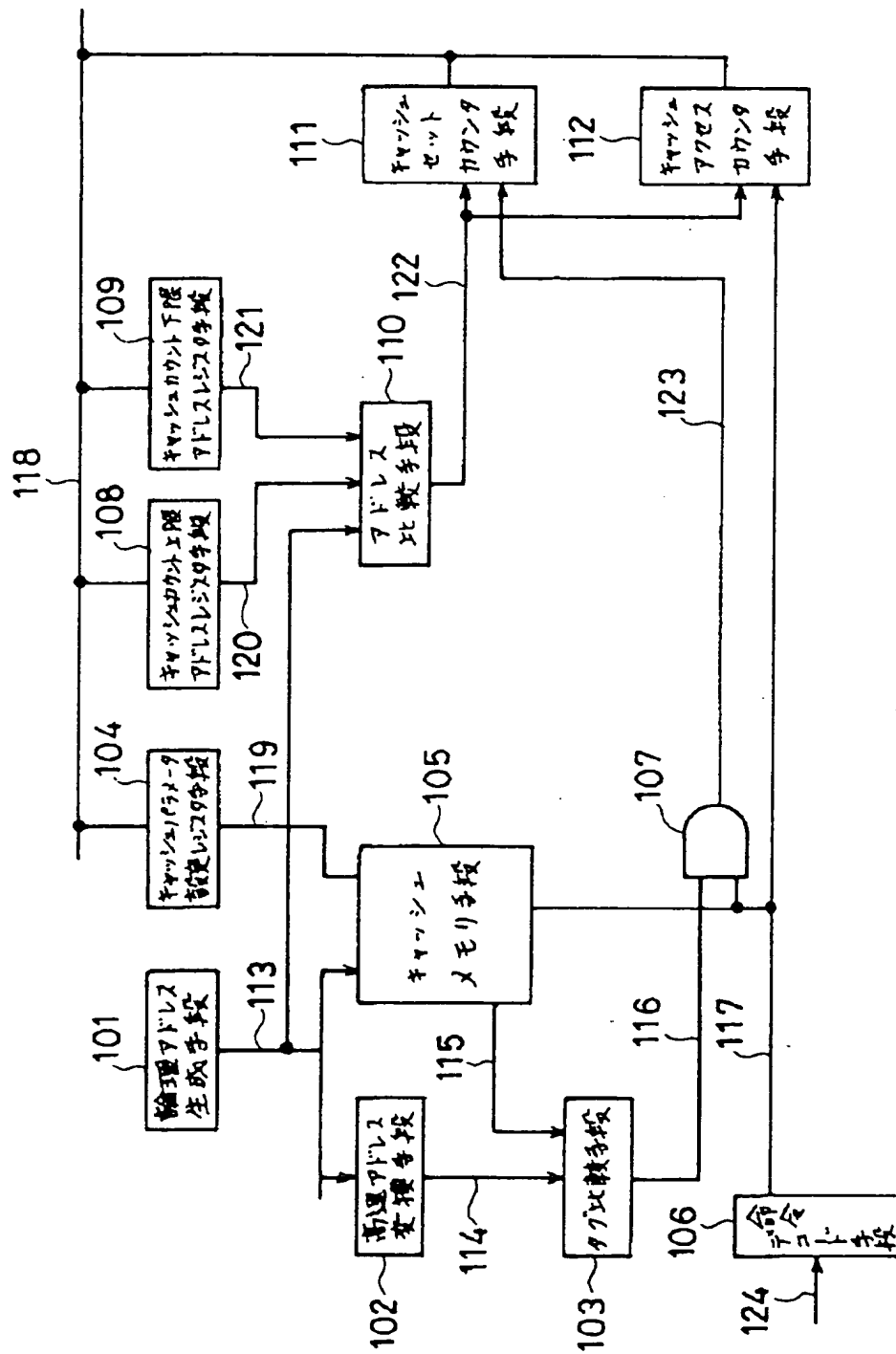
【図3】

LSZ1,0	ラインサイズ
1 1	1ワード
1 0	2ワード
0 0	4ワード

【図6】



【図1】



【図4】

